



数据手册

HD-RK3506G-CORE 核心板

关键词：RK3506G、ARM 核心板、引脚定义

2022-08-15

武汉万象奥科电子有限公司

修订记录

变更内容：	
2025-7-15 创建本文档。	
编制：Cao Jun 2025 年7 月 15 日	审核： 年 月 日

目录

1. 产品概述	4
1.1 芯片框图	4
1.2 主要参数	5
1.3 硬件资源	5
1.4 软件资源	6
1.5 产品选型	6
2. 电气特性及系统参数	6
2.1 系统主频	6
2.2 电气参数	6
2.3 工作环境	7
3. 引脚描述	7
4. 功能定义	7
5. 机械尺寸	11
6. 免责声明	12
7. 联系我们	13

1. 产品概述

HD-RK3506G-CORE 核心板是万象奥科电子有限公司基于 Rockchip RK3506G2 处理器开发的一款低功耗，高性能的嵌入式核心板，该处理器采用三核 Cortex-A7 加单核 Cortex-M0 架构。主频高达 1.5GHz，不仅内置了 2D 硬件引擎和显示输出引擎，还集成了如 SAI、PDM、SPDIF、音频 ADC、USB2 OTG、RMII、CAN 等十分强大的工业控制通讯接口，可满足多种现场应用需求，非常适用于工业控制、无人零售、人工智能、人机交互等应用场合。

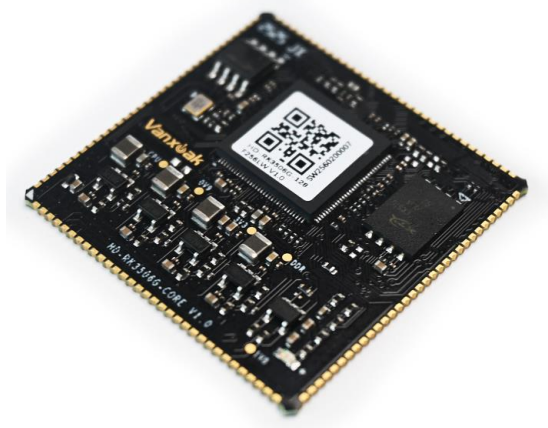


图 1 RK3506G 核心板

1.1 芯片框图

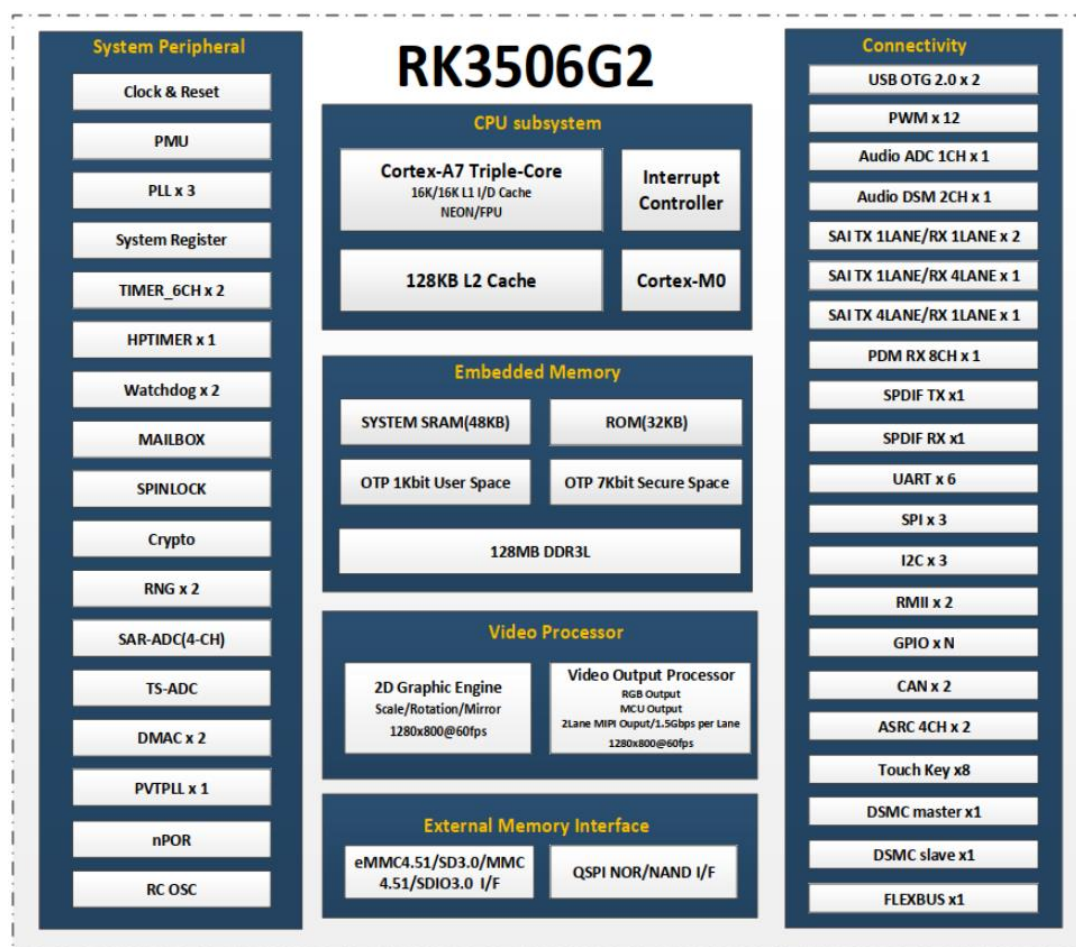


图 2 RK3506G2 芯片功能框图

1.2 主要参数

名称	主要参数
主控芯片	Rockchip RK3506G2
CPU	3 个 Cortex®-A7 内核 & 1 个 Cortex-M0 内核，运行频率高达 1.5GHz 16KB L1 指令缓存，16KB L1 数据缓存，128KB 系统 L3 缓存
内存	DDR3L SDRAM 128MB（RK3506G2 内置）
存储	NAND Flash 256MB
加密	软件授权加密
操作系统	Linux、RT-Thread
机械尺寸	35mm * 35mm

1.3 硬件资源

名称	硬件特性	详细说明	备注
MIPI DSI	1 路	2 Lane，每 Lane 速率最高 1.5Gbps 最大输出分辨率 1280x1280@60fps	受芯片 VOP 控制器限制，MIPI DSI 和 LCD 不能同时显示
LCD	1 路	支持 RGB888/RGB666/RGB565 最大输出分辨率 1280x1280@60fps	
FLEXBUS	1 路	灵活的并行 FLEXBUS 总线接口，可实现高速 IO 切换 应用方向：ADC、DAC、QSPI/FSPI、CIF（Camera Interface）	ADC 和 DAC 组合方式，最大仅支持 28bit
DSMC	1 路	支持 master 模式，支持 x8 和 x16 两种工作模式	主要应用于 PSRAM 设备通信或者 LocalBus 的外设通信（如 FPGA）。
DSMC_SLV	1 路	支持 slave 模式，支持 x8 工作模式	两颗 RK3506 之间可以通过 DSMC 和 DSMC_SLV 接口进行级联。
以太网	2 路	支持 10/100Mbps 自适应	
USB2.0 OTG	2 路	支持 HS/FS/LS，支持 480Mbps/12Mbps/1.5Mbps	USB2.0 OTG0 为固件烧录口
SDMMC	1 路	支持 SDIO3.0 协议，以及 MMC V4.51 协议	
FSPI	1 路	支持串行 NOR Flash、NAND Flash	此接口不开放
SPI	3 路	SPI0、SPI1 为通用 SPI，SPI2 为 SPIAPB	SPI2 只支持 slave 模式
Audio	—	4 组 SAI 接口、1 组 PDM 接口、1 个 SPDIF TX 接口、1 个 SPDIF RX 接口；内置 ACODEC 支持 1 对差分 MIC 输入 内置 Audio DSM 功能，满足放音、录音需求	
SARADC	4 路	分辨率 10bit，采样率 1MS/s，输入电压范围：0~1.8V	
PWM	11 路	2 个 PWM 控制器，总共 12 个通道，用户可使用 11 个通道	
CAN FD	2 路	支持 CAN 2.0B，CAN FD 协议	
UART	6 路	1 路调试串口，5 路通用串口	
I2C	3 路	支持 100Kbit/s、400Kbit/s 和 1Mbit/s	
TOUCH KEY	8 路	支持多通道 CapSense 监视器；支持 LPF 和 DC 消除	
JTAG	2 路	支持 SWD 模式（两线模式） 1 路和 SDMMC 复用，1 路和 UART0 复用	
GPIO	86 路	3.3V GPIO 81 路，1.8V GPIO 5 路	

1.4 软件资源

HD-RK3506G-CORE 核心板提供的驱动资源如下：

- DDR 驱动
- Nand Flash 驱动
- MIPI DSI 显示驱动
- LCD 显示驱动
- 触摸屏驱动
- 以太网驱动
- USB 驱动
- TF 卡驱动
- CAN 驱动
- UART 驱动
- SPI 驱动
- IIC 驱动
- PWM 驱动
- ADC 驱动
- IO 驱动

1.5 产品选型

产品型号	内存(DDR3L)	存储(NAND)	封装	工作温度	等级	描述
HD-RK3506G-128F256LW	128MB	256MB	邮票孔	-20℃~+80℃	宽温级	——

2. 电气特性及系统参数

2.1 系统主频

名称	参数	最小	典型	最大	单位	说明
系统主频	Fclk	——	——	1.5	GHz	——

2.2 电气参数

名称	标号	最小	典型	最大	单位	说明
电源输入电压	VCC5V0_SYS	4.75	5	5.25	V	——
3.3V 数字 IO	3V3_VIH	2.0	3.3	3.6	V	——
	3V3_VIL	-0.3	0	0.8	V	——
	3V3_VOH	2.4	3.3	3.6	V	——
	3V3_VOL	-0.3	0	0.4	V	——
1.8V 数字 IO	1V8_VIH	1.2	1.8	2.1	V	——
	1V8_VIL	-0.3	0	0.63	V	——
	1V8_VOH	1.4	1.8	2.1	V	——
	1V8_VOL	-0.3	0	0.4	V	——
1.8V 模拟 IO	ADC_VIN	0	——	1.8	V	——

2.3 工作环境

名称	最小	典型	最大	单位	说明
工作环境温度	-20	+25	+80	°C	——
工作环境湿度	5	——	95	%RH	本产品并未针对恶劣环境做特殊设计，需根据实际环境评估防潮乃至防尘方法，比如三防漆、灌胶等
ESD 防护等级	——	——	——	——	该产品为 ESD 敏感产品，需在底板上设计防护电路，注意防护人体静电，禁止带电热插拔

3. 引脚描述

HD-RK3506G-CORE 核心板将 RK3506G2 处理器引脚复用功能按照 HD-RK3506-IOT 评估板重新进行定义，建议用户在设计底板时参考 HD-RK3506-IOT 评估板进行，以配合产品标准驱动，减少二次开发过程。

为了保证产品设计具有良好的兼容性和稳定性，用户没有使用到的引脚资源请务必悬空处理。

HD-RK3506G-CORE 核心板共 128 脚，引脚通过 1.0mm 间距的邮票孔引出；其实物引脚图如下图所示。

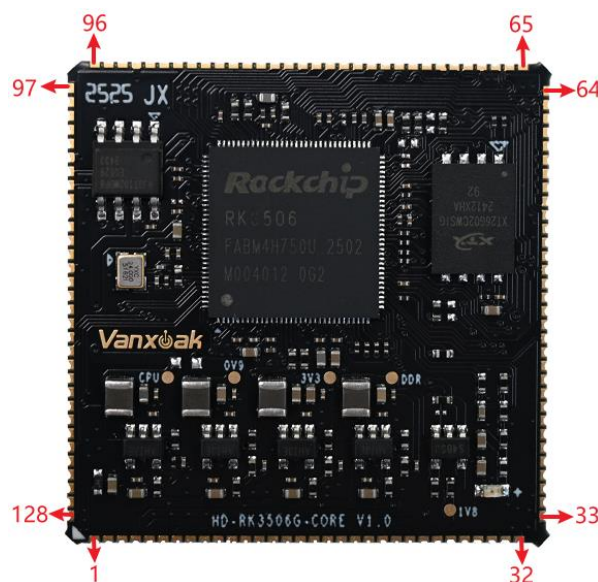


图 3 核心板实物引脚图

4. 功能定义

HD-RK3506-CORE 核心板所有引脚功能均按下表的“默认功能”作了设定，用户若需改动管脚默认功能，请联系我司技术人员进行确认，需同步修改相关驱动配置代码，否则会出现驱动冲突等异常情况。如需使用管脚的复用功能，请务必按照“【引脚列表】HD-RK3506G-CORE V1.0”进行设计。

注：HD-RK3506G-CORE 核心板的 MIPI 接口不建议复用为 GPO 使用。

引脚号	网络标号	默认功能	引脚默认电平
1	VCC5V0_SYS	核心板 5V 电源输入	5V
2	VCC5V0_SYS	核心板 5V 电源输入	5V
3	VCC5V0_SYS	核心板 5V 电源输入	5V
4	VCC5V0_SYS	核心板 5V 电源输入	5V
5	VCC_3V3	核心板 3.3V 电源输出	3.3V
6	VCC_3V3	核心板 3.3V 电源输出	3.3V
7	VCC_1V8	核心板 1.8V 电源输出	1.8V
8	VCC_1V8	核心板 1.8V 电源输出	1.8V
9	GND	GND	

10	GND	GND	
11	GND	GND	
12	GND	GND	
13	RMII1_RXDV_CRS	ETH_RMII1_RXDVCRS	3.3V
14	RMII1_MDIO	ETH_RMII1_MDIO	3.3V
15	RMII1_MDC	ETH_RMII1_MDC	3.3V
16	RMII1_TXEN	ETH_RMII1_TXEN	3.3V
17	RMII1_TXD1	ETH_RMII1_TXD1	3.3V
18	RMII1_TXD0	ETH_RMII1_TXD0	3.3V
19	RMII1_CLK	ETH_RMII1_CLK	3.3V
20	RMII1_RXD1	ETH_RMII1_RXD1	3.3V
21	RMII1_RXD0	ETH_RMII1_RXD0	3.3V
22	GND	GND	
23	RMII0_RXDV_CRS	ETH_RMII0_RXDVCRS	3.3V
24	RMII0_MDIO	ETH_RMII0_MDIO	3.3V
25	RMII0_MDC	ETH_RMII0_MDC	3.3V
26	RMII0_TXEN	ETH_RMII0_TXEN	3.3V
27	RMII0_TXD1	ETH_RMII0_TXD1	3.3V
28	RMII0_TXD0	ETH_RMII0_TXD0	3.3V
29	RMII0_CLK	ETH_RMII0_CLK	3.3V
30	RMII0_RXD1	ETH_RMII0_RXD1	3.3V
31	RMII0_RXD0	ETH_RMII0_RXD0	3.3V
32	GND	GND	
33	GND	GND	
34	SDMMC_CLK	SDMMC_CLK	3.3V
35	SDMMC_CMD	SDMMC_CMD	3.3V
36	SDMMC_D0	SDMMC_D0	3.3V
37	SDMMC_D1	SDMMC_D1	3.3V
38	SDMMC_D2	SDMMC_D2	3.3V
39	SDMMC_D3	SDMMC_D3	3.3V
40	NC		
41	NC		
42	NC		
43	NC		
44	NC		
45	NC		
46	NPOR_L	NPOR	3.3V
47	SARADC_IN1_RECOVER/KEY	SARADC_IN1	1.8V
48	SARADC_IN0_BOOT	SARADC_IN0	1.8V
49	SARADC_IN2	SARADC_IN2	1.8V
50	SARADC_IN3	SARADC_IN3	1.8V
51	GPIO0_D0_d	REF_CLK0_OUT	1.8V
52	ACODEC_ADC_INP	ACODEC_ADC_INP	1.8V
53	ACODEC_ADC_INN	ACODEC_ADC_INN	1.8V
54	GND	GND	

55	USB20_OTG0_DP	USB20_OTG0_DP	
56	USB20_OTG0_DM	USB20_OTG0_DM	
57	NC		
58	NC		
59	GND	GND	
60	USB20_OTG1_DP	USB20_OTG1_DP	
61	USB20_OTG1_DM	USB20_OTG1_DM	
62	GND	GND	
63	MIPI_DPHY_DSI_TX_CLKN	GPO4_A4_z	1.8V
64	MIPI_DPHY_DSI_TX_CLKP	GPO4_A5_z	1.8V
65	GND	GND	
66	MIPI_DPHY_DSI_TX_D1N	GPO4_A2_z	1.8V
67	MIPI_DPHY_DSI_TX_D1P	GPO4_A3_z	1.8V
68	GND	GND	
69	MIPI_DPHY_DSI_TX_D0N	GPO4_A0_z	1.8V
70	MIPI_DPHY_DSI_TX_D0P	GPO4_A1_z	1.8V
71	GND	GND	
72	VO_LCDC_DEN	VO_LCDC_DEN	3.3V
73	VO_LCDC_VSYNC	VO_LCDC_VSYNC	3.3V
74	VO_LCDC_HSYNC	VO_LCDC_HSYNC	3.3V
75	VO_LCDC_CLK	VO_LCDC_CLK	3.3V
76	VO_LCDC_D23	VO_LCDC_D23	3.3V
77	VO_LCDC_D22	VO_LCDC_D22	3.3V
78	VO_LCDC_D21	VO_LCDC_D21	3.3V
79	VO_LCDC_D20	VO_LCDC_D20	3.3V
80	VO_LCDC_D19	VO_LCDC_D19	3.3V
81	VO_LCDC_D18	I2C0_SDA	3.3V
82	VO_LCDC_D17	I2C0_SCL	3.3V
83	VO_LCDC_D16	GPIO1_B3_d	3.3V
84	GND	GND	
85	VO_LCDC_D15	VO_LCDC_D15	3.3V
86	VO_LCDC_D14	VO_LCDC_D14	3.3V
87	VO_LCDC_D13	VO_LCDC_D13	3.3V
88	VO_LCDC_D12	VO_LCDC_D12	3.3V
89	VO_LCDC_D11	VO_LCDC_D11	3.3V
90	VO_LCDC_D10	VO_LCDC_D10	3.3V
91	VO_LCDC_D9	GPIO1_C2_d	3.3V
92	VO_LCDC_D8	GPIO1_C3_d	3.3V
93	GND	GND	
94	VO_LCDC_D7	VO_LCDC_D7	3.3V
95	VO_LCDC_D6	VO_LCDC_D6	3.3V
96	VO_LCDC_D5	VO_LCDC_D5	3.3V
97	VO_LCDC_D4	VO_LCDC_D4	3.3V
98	VO_LCDC_D3	VO_LCDC_D3	3.3V
99	VO_LCDC_D2	PWM0_CH2	3.3V

100	VO_LCDC_D1	UART4_RX	3.3V
101	VO_LCDC_D0	UART4_TX	3.3V
102	GND	GND	
103	I2C2_SCL	I2C2_SCL	3.3V
104	I2C2_SDA	I2C2_SDA	3.3V
105	SAI1_MCLK	GPIO0_B0_d	3.3V
106	SAI1_SCLK	PWM0_CH0	3.3V
107	SAI1_LRCK	PWM0_CH1	3.3V
108	SAI1_SDI	I2C1_SDA	3.3V
109	SAI1_SDO0	I2C1_SCL	3.3V
110	GND	GND	
111	UART0_TX/JTAG_TCK_M1	UART0_TX	3.3V
112	UART0_RX/JTAG_TMS_M1	UART0_RX	3.3V
113	UART1_TX	UART1_TX	3.3V
114	UART1_RX	UART1_RX	3.3V
115	UART2_TX	UART2_TX	3.3V
116	UART2_RX	UART2_RX	3.3V
117	UART3_TX	UART3_TX	3.3V
118	UART3_RX	UART3_RX	3.3V
119	CAN0_TX	CAN0_TX	3.3V
120	CAN0_RX	CAN0_RX	3.3V
121	CAN1_TX	CAN1_TX	3.3V
122	CAN1_RX	CAN1_RX	3.3V
123	GND	GND	
124	SPI0_CLK	SPI0_CLK	3.3V
125	SPI0_MOSI	SPI0_MOSI	3.3V
126	SPI0_MISO	SPI0_MISO	3.3V
127	SPI0_CSN0	SPI0_CSN0	3.3V
128	GND	GND	

5. 机械尺寸

HD-RK3506G-CORE 核心板的尺寸图如下所示。

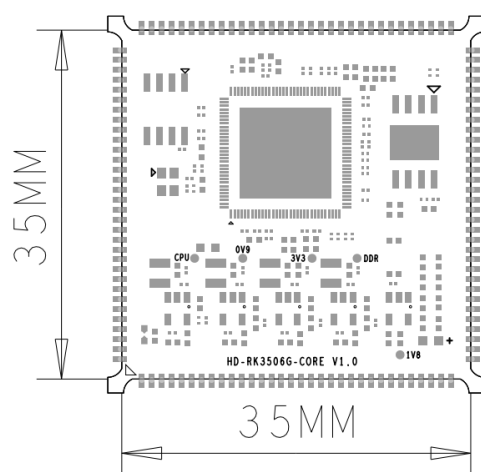


图 4 核心板尺寸图

6. 免责声明

本文档提供有关武汉万象奥科电子有限公司产品的信息。本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除武汉万象奥科电子有限公司在产品的销售条款和条件中声明的责任之外，概不承担任何其它责任。并且，产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。武汉万象奥科电子有限公司产品并非设计用于医疗、救生或维生等用途。武汉万象奥科电子有限公司可能随时对产品规格及产品描述做出修改，恕不另行通知。

文档所属产品可能包含某些设计缺陷或错误，一经发现将收入勘误表，并因此可能导致产品与已出版的规格有所差异。如客户索取，可提供最新的勘误表。在订购产品之前，请您与我司销售处或分销商联系，以获取最新的规格说明。本文档中提及的含有订购号的文档以及其它文献可通过访问 <http://www.vanxoak.com> 获得。

武汉万象奥科电子有限公司保留所有权利。

7. 联系我们

武汉万象奥科电子有限公司

公司地址：武汉东湖新技术开发区大学园路长城园路 8 号海容基孵化园 B 栋 5 楼

公司电话：027-59218026

公司邮箱：sales@vanxoak.com

售后邮箱：support@vanxoak.com

公司网址：www.vanxoak.com

